

CERTIFIED COPY OF
PRIORITY DOCUMENT



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
Bureau of the application as originally filed which is identified hereunder:

申請 日：西元 1998 年 12 月 10 日
Application Date

申請 案 號：087120560
Application No.

申請 人：神達電腦股份有限公司
Applicant(s)

RECEIVED

APR 06 2000

Group 2700

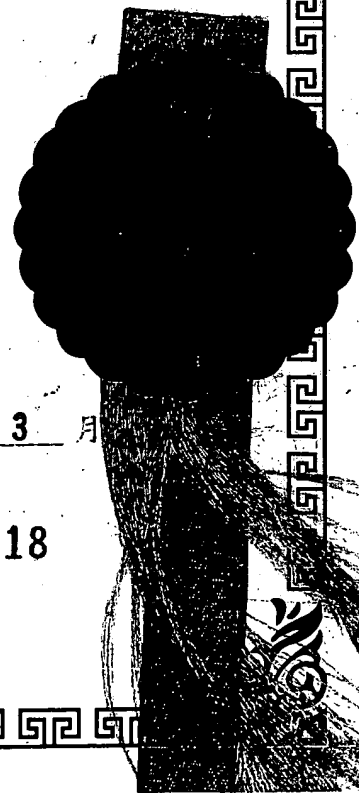
局 長

Director General

陳 明 邦

發文日期：西元 2000 年 3 月
Issue Date

發文字號：08911003118
Serial No.



CERTIFICATE OF MAILING

I hereby certify that this paper and every paper referred to therein as being enclosed is being deposited with the U.S. Postal Service as first class mail, postage prepaid, in an envelope addressed to: Commissioner of Patents & Trademarks, Washington, DC 20231,

on March 30, 2000 (Date of Deposit)

3/30/00 A DiLullo
Name



Docket No.: 3158/OG461

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Ted CHENG

Serial No.: 09/459,308

Art Unit: TBA

Filed: 12/10/99

Examiner: TBA

For: DRAM AUTO-SWAPPING DEVICE

TECH CENTER 2700

APR - 6 2000

RECEIVED

CLAIM FOR PRIORITY AND SUBMISSION OF PRIORITY DOCUMENT

Hon. Commissioner of
Patents and Trademarks
Washington, DC 20231

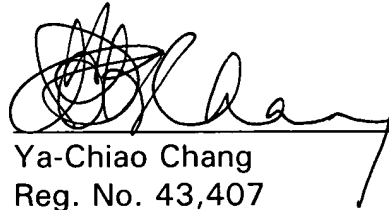
Sir:

Applicant hereby claims priority under 35 U.S.C. Section 119 based on Taiwan, R.O.C. application serial no. 87120560, dated December 10, 1998.



A certified copy of the priority document is submitted herewith.

Respectfully submitted,



Ya-Chiao Chang
Reg. No. 43,407
Attorney for Applicant(s)

Dated: March 30, 2000

DARBY & DARBY P.C.
805 Third Avenue
New York, New York 10022
212-527-7700

::ODMA\WORLD\OX\M:\3158\OG461\KRJ4007.WPD

TECH CENTER 2700

RECEIVED
APR - 6 2000
TECH CENTER 2700

Docket No. 0158/OF654

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	DRAM自動切換控制裝置
	英 文	
二、 發明人	姓 名 (中文)	1. 鄭育明
	姓 名 (英文)	1.
	國 籍	1. 中華民國
	住、居所	1. 新竹市北區北門里北門街12鄰179號
三、 申請人	姓 名 (名稱) (中文)	1. 神達電腦股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹縣研發二路一號
	代表人 姓 名 (中文)	1. 苗豐強
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：DRAM自動切換控制裝置)

一種DRAM自動切換控制裝置，主要係應用於當BIOS於開機啟動測試，若發現DRAM儲存體(Bank)之第一個64K記憶體失效(Fail)而無法啟動系統時，配合軟、硬體之運作，會自動地切換至其他位址之記憶體。所以，當DRAM之第1個64K記憶體失效時，BIOS可以略過，而跳至其他位址之記憶體，以繼續進行測試，避免因為第1個64K記憶體失效而無法開機之情況發生。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

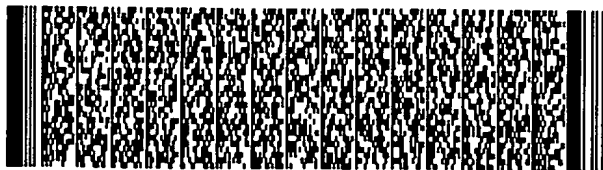
五、發明說明 (1)

本發明係有關於一種DRAM自動切換控制裝置，主要係應用於當BIOS於開機啟動測試，若發現DRAM儲存體(Bank)之第一個64K記憶體失效(Fail)而無法啟動系統時，就會自動地切換至其他位址之記憶體，以便達成啟動系統之目的。

一般電腦系統在啟動時，均會由BIOS先進行開機自我測試(Power On Self-Test; POST)，待測試正常之後才會完成開機啟動之程序。在開機啟動之測試中，如果遇到DRAM之第一個64K記憶體失效的話，則電腦系統將無法啟動。由於只是一小部分之記憶體失效而造成電腦系統無法開機，此時即使用者有再多之記憶體容量亦無用武之地，實在令人難以接受，故實應設法加以改善。

有鑑於此，本發明的主要目的係提供一種DRAM自動切換控制裝置，在硬體和軟體之配合下可以自動地以其他位址記憶體來達成開機啟動之目的，而解決上述之問題。

根據上述之目的，本發明提出一種DRAM自動切換控制裝置，其至少包括：一輸出埠選擇裝置，用以選擇致能一特定之輸出埠；以及，一切換選擇裝置，其輸入端耦接一組第一定址信號，並依據上述輸出埠之輸出，而決定讓上述第一定址信號、或是與上述第一定址信號互補之第二定址信號，輸出至上述DRAM；其中，當上述BIOS發現上述DRAM儲存體之第一個64K記憶體失效時，上述BIOS將於暫存器中寫入一特定值，上述輸出埠選擇裝置致能上述輸出埠而輸出上述特定值，促使上述切換選擇裝置輸出上述第



五、發明說明 (2)

二定址信號，之後BIOS並繼續進行測試；當BIOS未發現記憶體失效時，上述切換選擇裝置保持輸出上述第一定址信號。

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

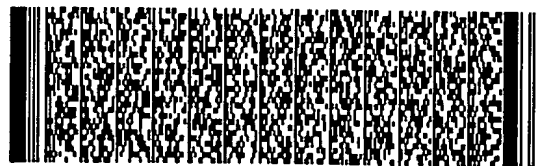
第1圖係表示DRAM其DIMM插槽之部分接腳信號；以及第2圖係表示本發明之一實施例電路圖。

符號說明：

20~DRAM自動切換控制裝置；22~輸出埠選擇裝置；
24~切換選擇裝置；26~輸出緩衝裝置。

實施例：

請參照第1圖所示DIMM插槽之部分接腳信號。記憶體之存取主要係藉由位址線(address line)信號定址後，再由所指定之記憶胞中讀出或是寫入資料，MD₀~MD₆₃為資料線。以DRAM之多工定址而言，主要係利用12條位址線(BOMA0~BOMA11)，如第1圖所示，配合列位址致能信號(Row Address Strobe signal; RAS)、以及欄位址致能信號(Column Address Strobe signal; CAS) (RAS和CAS均未圖示)，解碼出各種可能之記憶體位址，以便進行讀取



五、發明說明 (3)

或寫入之動作。上述位址線(BOMA0~BOMA11)是系統位址匯流排中記憶體定址信號之一部分。

本發明之主要目的，為當BIOS於開機啟動測試中，發現DRAM儲存體(Bank)之第一個64K記憶體失效而無法啟動系統時，就自動切換至其他位址之記憶體，以達成啟動系統之目的。本發明主要係將DRAM定址信號線BOMA8~BOMA10之路徑上設置一切換選擇裝置，再輸出新定址信號BOMA8S~BOMA10S至DRAM；而當BIOS發現記憶體第一個64K失效時，配合控程式之運作，定址信號線BOMA8~BOMA10會被上述切換選擇裝置改變(例如反相運算)，而得到新定址信號BOMA8S~BOMA10S，如此BIOS即跳過失效之64K記憶體，而以其他位址之記憶體繼續進行啟動程序。

以下將參照第2圖之實施例電路圖詳細說明本發明之動作。

如第2圖所示，本發明之DRAM自動切換控制裝置，其至少包括：一輸出埠選擇裝置22，用以選擇致能一特定之輸出埠；一切換選擇裝置24，其輸入端耦接一組第一定址信號線(BOMA8~BOMA10)，並依據上述輸出埠之輸出，而決定讓上述第一定址信號、或是與上述第一定址信號互補之第二定址信號，輸出至上述DRAM。

當上述BIOS發現上述DRAM儲存體之第一個64K記憶體失效(Data Error)時，BIOS會執行下列程式：

```
JNC      α          ; NC = memory OK
MOV      AL      0    ; AL = L0
```



五、發明說明 (4)

OUT 22H , AL ; D₀CT = L₀

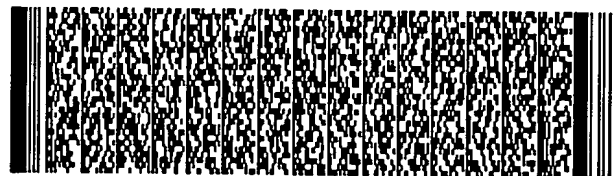
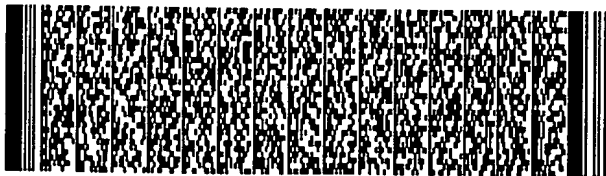
JMP Test Again

α Normal INIT ; memory OK, go next

所以，發現第一個64K記憶體失效時，上述BIOS先於暫存器AL中寫入一特定值L₀(在此實施例為0)。再決定將L₀由位址為22H之輸出埠送出。上述輸出埠位址可由22H~2FH對應之輸出埠任選其一。

由於輸出埠之位址為22H，所以本實施例中之輸出埠選擇裝置22（在此實施例中，主要係由IC-244所構成之電路），主要配合程式中所預定之輸出埠而作之解碼線路；用以解碼此一I/O位址22H，以便輸出一致能信號，而使L₀能夠由位址22H之輸出埠送出。位址為22H表示系統位址線A₁₅~A₈均為0，而A₇~A₄為0010，A₃~A₀為0010，另外AEN(位址線致能信號)和IOW(I/O寫入致能信號)均為1。所以，輸出埠選擇裝置22將會輸出邏輯"0"之信號E，以便使輸出緩衝裝置(例如為IC-374) 26致能而輸出0使L₀CT成為0。

L₀CT信號為邏輯"0"，所以將會使IC-244之致能輸入端(1G、2G)分別接收到邏輯"0"和"1"，所以BOMA8~BOMA10信號線上之信號(輸入端2D)將會由輸出端2Q送出，經過反相器反相運算後，再輸出至DRAM。所以，如果失效記憶體之部分位址BOMA10~BOMA8為000(第一定址信號)的話，則在經過上述處理後，其部分位址BOMA10~BOMA8會被改變為111(第二定址信號)。因此，對於BIOS而言，其所測試失敗之記憶體(例如BOMA11~BOMA0之啟始位址為



五、發明說明 (5)

x000xxxxxxxx) 將會被略過，而改以測試新指定位址之記憶體(啟始位址為x111xxxxxxxx)，如此就可以繼續進行開機測試以完成啟動程序。

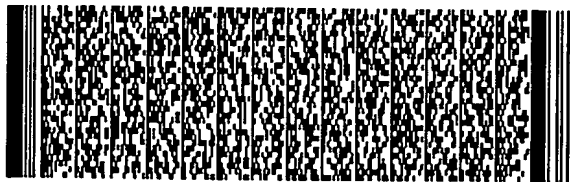
上述實施例係將BOMA0~BOMA11中之BOMA8~BOMA10定址信號，在發現第1個64K記憶體失效後加以變動，但不限定於此，亦可視實際應用之需要，改以變動其他之位址信號。

另外，本實施例係將第一位址信號反相運算而得第二位址信號，但是並非限定於此，可依實際之需要，對第一位址信號進行其他方式之運算，而得到不同於第一位址信號之第二位址信號。

當BIOS未發現記憶體失效時，程式即跳至 α 步驟，表示記憶正常，可繼續進行其他之測試。另外，記憶體失效時，L₀CT不會成為邏輯"0"，所以上述切換選擇裝置22保持讓上述BOMA8 ~ BOMA10之第一定址信號由第一輸出端(1Q)輸出至DRAM。

由上述可知，利用本發明之裝置，當DRAM之第1個64K失效時，BIOS可以略過，而跳至其他位址之記憶體，以繼續進行測試。所以，應用本發明之系統，不會再有因為第1個64K失效而無法開機之情況發生。

本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種DRAM自動切換控制裝置，當BIOS測試發現DRAM儲存體(Bank)之第一個64K記憶體失效而無法啟動系統時，就自動切換至其他位址之記憶體，以達成啟動系統之目的，其至少包括：

一輸出埠選擇裝置，用以選擇致能一特定之輸出埠；

一切換選擇裝置，其輸入端耦接一組第一定址信號，並依據上述輸出埠之輸出，而決定讓上述第一定址信號、或是由上述第一定址信號經一特定運算而得之第二定址信號，輸出至上述DRAM；

其中，當上述BIOS發現上述DRAM儲存體之第一個64K記憶體失效時，上述BIOS將於暫存器中寫入一特定值，上述輸出埠選擇裝置致能上述輸出埠而輸出上述特定值，促使上述切換選擇裝置輸出上述第二定址信號，之後BIOS並繼續進行測試；當BIOS未發現記憶體失效時，上述切換選擇裝置保持輸出上述第一定址信號。

2. 如申請專利範圍第1項所述之裝置，其中，上述第一定址信號，係為系統定址匯流排中記憶體定址信號之一部分，而定址匯流排中其他之記憶體定址信號則分別耦接至上述DRAM。

3. 如申請專利範圍第1項所述之裝置，其中，上述輸出埠選擇裝置，其輸入端耦接系統位址匯流排，當上述BIOS將上述特定值寫入暫存器之後，上述輸出埠選擇裝置解碼上述系統位址匯流排之定址信號而致能上述輸出埠。

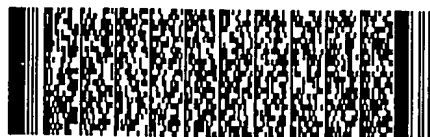
4. 如申請專利範圍第1項所述之裝置，其中，上述第

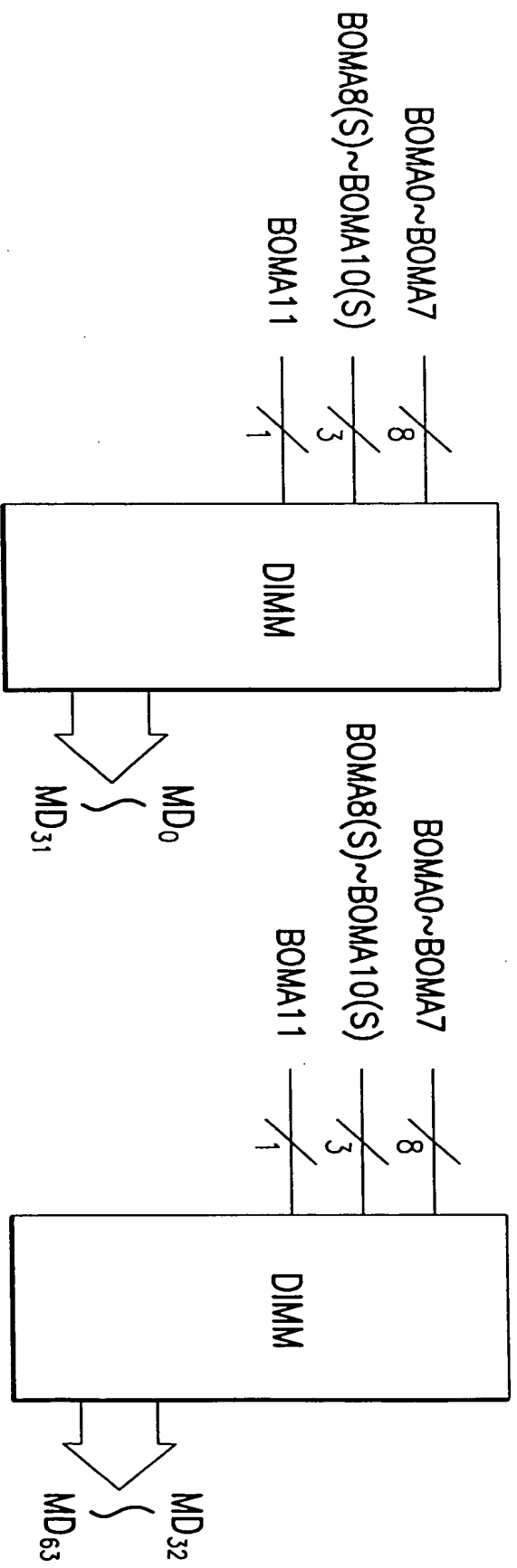


六、申請專利範圍

二信號係由上述第一信號經過反相運算後而得。

5. 如申請專利範圍第1項所述之裝置，其中，上述輸出埠選擇裝置，係根據上述輸出埠之位址而作之解碼定址電路。



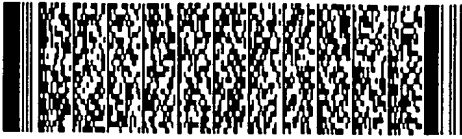


第 1 圖



第 頁

第 1 頁



第 2 頁



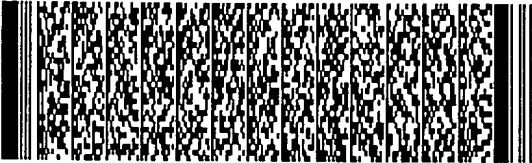
第 4 頁



第 4 頁



第 5 頁



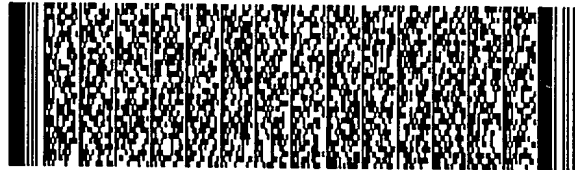
第 5 頁



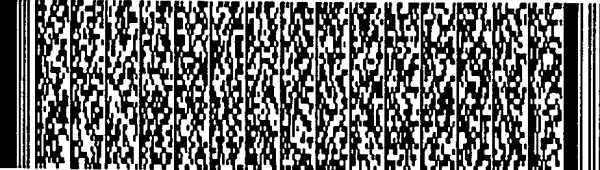
第 6 頁



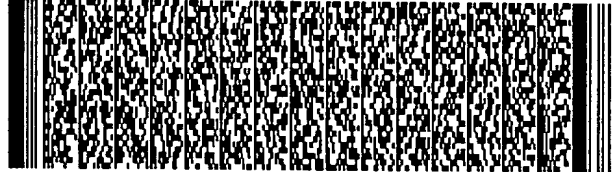
第 6 頁



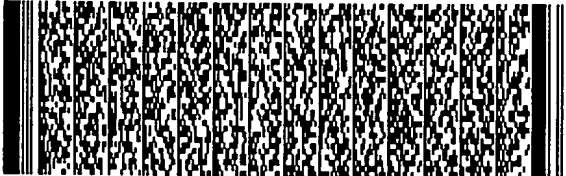
第 7 頁



第 7 頁



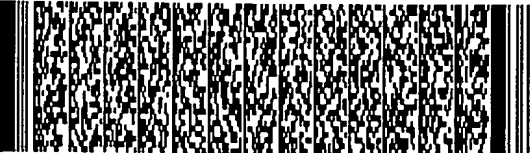
第 8 頁



第 8 頁



第 9 頁



第 9 頁



第 10 頁

